

DIALOG(R) File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

010405354 **Image available**

WPI Acc No: 1995-306668/ 199540

XRPX Acc No: N95-232813

Image processor for removing frequency components of noise over fixed period and cancelling Moire - switches signal level between pixel signals after comparison with pixel level sequence and sampling pixel signals from input pixel sequence to determine pixel signal levels below predetermined value NoAbstract

Patent Assignee: RICOH KK (RICO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7203210	A	19950804	JP 93354403	A	19931227	199540 B

Priority Applications (No Type Date): JP 93354403 A 19931227

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 7203210	A		8	H04N-001/409	
------------	---	--	---	--------------	--

Title Terms: IMAGE; PROCESSOR; REMOVE; FREQUENCY; COMPONENT; NOISE; FIX; PERIOD; CANCEL; MOIRE; SWITCH; SIGNAL; LEVEL; PIXEL; SIGNAL; AFTER; COMPARE; PIXEL; LEVEL; SEQUENCE; SAMPLE; PIXEL; SIGNAL; INPUT; PIXEL; SEQUENCE; DETERMINE; PIXEL; SIGNAL; LEVEL; BELOW; PREDETERMINED; VALUE; NOABSTRACT

Derwent Class: T01; W02

International Patent Class (Main): H04N-001/409

International Patent Class (Additional): G06T-005/00

File Segment: EPI

Manual Codes (EPI/S-X): T01-J10B1; W02-J03A2; W02-J03B1

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

(43)公開日 平成7年(1995)8月4日

技術表示箇所

G O 6 T 5/00

101 C

320 A

審査請求 未請求 請求項の数12 FD (全 8 頁)

東京都大田区中馬込一丁目3番6号 株式
会社リコー内

【特許請求の範囲】

【請求項1】 連続する画素の画素信号列として入力する画像信号を処理する画像処理装置において、入力した画素信号列の中から複数の画素信号をサンプリングし、該サンプリングした画素信号の信号レベルを所定の画素信号の信号レベルと比較し、前記サンプリングした信号レベルと前記所定の画素信号レベルとの差が所定値A以内の場合、前記入力した画素信号列と、該画素信号列と比較した画素信号との間で信号レベルの交換を行うことを特徴とする画像処理装置。

【請求項2】 入力した画素信号列の全画素信号をサンプリングし、該サンプリングした画素信号の信号レベルを比較する所定の画素信号を、入力した画素信号列中であって対象画素信号から一定間隔B離れた位置の信号としたことを特徴とする請求項1記載の画像処理装置。

【請求項3】 '1'または'0'のいずれかをランダムに出力する交換決定手段を備え、信号レベルの比較条件を満たし且つ前記交換決定手段出力値があらかじめ定めた所定の値のときのみ信号レベルを交換したことを特徴とする請求項2記載の画像処理装置。

【請求項4】 前記一定間隔Bをモアレ周期の2分の1にしたことを特徴とする請求項2及び3記載の画像処理装置。

【請求項5】 サンプリングをランダムな間隔で行うようにしたことを特徴とする請求項1記載の画像処理装置。

【請求項6】 対象画素信号と信号レベルを比較する所定の画素信号をサンプリングした隣接画素信号としたことを特徴とする請求項5記載の画像処理装置。

【請求項7】 対象画素信号と信号レベルを比較する所定の画素信号を、入力した画素信号列中で対象画素信号から一定間隔Cだけ離れた位置の画素信号としたことを特徴とする請求項5記載の画像処理装置。

【請求項8】 対象画素信号と信号レベルを比較する所定の画素信号を複数個とし、前記複数個の画素信号及び対象画素信号のそれぞれの間における信号レベルの差が所定値A以内の場合、前記入力した画素信号列中の信号レベル比較を行なった3個以上の画素信号間で信号レベルをランダムに交換したことを特徴とする請求項1記載の画像処理装置。

【請求項9】 サンプリングした信号レベルが所定値Bより大きいことを信号レベル交換の条件にしたことを特徴とする請求項1乃至8記載の画像処理装置。

【請求項10】 ライン単位またはそれ以上の所定単位で、信号レベルの交換を複数回行うようにしたこと特徴とする請求項1乃至9記載の画像処理装置。

【請求項11】 モアレテストモード時、入力画素信号列がモアレ除去回路をパスする手段と、ディザ化手段の後段に設けられたモアレテストモード時のモアレ周期を検出するモアレ周期検出手段と、モアレテストモードで

ないときラインバッファの入出力遅延をモアレ周期検出手段から与えられたモアレ周期の2分の1の画素間隔にする手段を備えたことを特徴とする請求項4記載の画像処理装置。

【請求項12】 モアレ周期検出手段を、画像信号のピークからピークまでの時間を計測する手段と、上記時間に所定誤差範囲で一致するピークからピークまでの時間を連続して所定回数検出したときその時間をモアレ周期とする手段を備えたことを特徴とする請求項11記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像信号や音声信号など連続する信号系列中に一定周期で発生する雑音を除去する処理装置に係り、特に連続する画素の画素信号列として入力される画像信号中に一定周期で発生する雑音によるモアレの発生を防ぐことができる画像処理装置に関する。

【0002】

【従来の技術】 網点で構成されたカラー印刷物などの原稿を読み取ったり、原稿を網点化（ディザ化）して画像形成する場合、モアレが発生することが知られている。これは、光電変換素子の配列などの周期性と網点原稿による入力光の周期性が干渉し、あるいは網点原稿による入力画像情報の周期性及び出力段における網点化（ディザ化）によって生成される信号の周期性が干渉して発生するものである。また、特公平3-32264号公報に記載されているように、カラー画像信号において、色信号間の規則性も干渉を引き起こし、モアレの原因になる。

【0003】 このようなモアレ雑音を除去するために、従来は光電変換素子受光部の形状を菱形にし、光電変換素子の入力側で改善を図ったり、出力段のディザ化手段の前にフィルタを設けることにより干渉の原因となる一方の周波数成分を除去している。また、特公平3-32264号公報に記載の技術では、特定色の画素信号は一定周期の信号であるが、他の色の画素信号は特定色の画素位置に対して間隔をランダムに変化させて色信号間の規則性を解消している。しかしながら、上述したような方法ではいずれの場合も装置が高価となるとという問題点があった。

【0004】

【発明の目的】 したがって、本発明の課題は上述したような従来技術の問題を解決し、連続する信号系列上に一定周期で重畳された雑音の周波数成分を除去して安価な手段でモアレなどを解消できる画像処理装置を提供することにある。

【0005】

【課題を解決するための手段】 この目的を達成するために本発明に係る画像処理装置は、第1の手段として、連続する画素の画素信号列として入力される信号レベルの

画像信号を処理する画像処理装置において、入力した画素信号列の中から複数の画素信号をサンプリングし、該サンプリングした対象画素信号の信号レベルを所定の画素信号の信号レベルと比較し、その差が所定値A以内の場合、前記入力した画素信号列中の比較した画素信号と前記所定の画素信号との間で信号レベルの交換を行うように構成する。第2の手段として、前記第1の手段に加え、入力した画素信号列の全画素信号をサンプリングし、該サンプリングした対象画素信号と信号レベルとを比較する所定の画素信号を、入力した画素信号列中で対象画素信号から一定間隔Bだけ離れた位置の信号とするように画像処理装置を構成する。

【0006】第3の手段として、前記第2の手段に加え、'1'または'0'のいずれかをランダムに出力する交換決定手段を備え、信号レベルの比較条件を満たし且つ交換決定手段の出力値が所定の値のときのみ信号レベルを交換するよう画像処理装置を構成する。第4の手段として、上記第2及び第3の手段において、一定間隔Bをモアレ周期の2分の1とする。第5の手段として、上記第1の手段において、サンプリングをランダムな間隔で行うよう画像処理装置を構成する。第6の手段として、上記第5の手段において、対象画素信号と信号レベルを比較する所定の画素信号をサンプリングした隣接画素信号とする。第7の手段として、上記第5の手段において、対象画素信号と信号レベルを比較する所定の画素信号を、入力された画素信号列中で対象画素信号から一定間隔Cだけ離れた位置の画素信号とする構成にした。

【0007】第8の手段として、上記第1の手段において、対象画素信号の信号レベルを比較する画素信号を複数個とし、上記複数個の画素信号及び対象画素信号のレベルの差が所定値A以内の場合、上記入力された画素信号列中の信号レベル比較を行なった3個以上の画素信号間で信号レベルをランダムに交換するよう画像処理装置を構成する。第9の手段として、サンプリングした信号レベルが所定値Bより大きいことを信号レベル交換の条件にする。第10の手段として、ライン単位またはそれ以上の所定単位で、上記信号レベルの交換を複数回行うように画像処理装置を構成する。第11の手段として、上記第4の手段において、モアレテストモード時、入力画素信号列がモアレ除去回路をパスする手段と、ディザ化手段の後段に設けられたモアレテストモード時のモアレ周期を検出するモアレ周期検出手段と、モアレテストモードでないときラインバッファの入出力遅延をモアレ周期検出手段から与えられたモアレ周期の2分の1の画素間隔にする手段を備える。第12の手段として、上記第11の手段において、モアレ周期検出手段を、画像信号のピークからピークまでの時間を計測する手段と、上記時間に所定誤差範囲で一致するピークからピークまでの時間を連続して所定回数検出したときその時間をモアレ周期とする手段を備える。

【0013】

【作用】本発明に係る画像装置は上述したような手段を備えたため、副作用的雑音を発生させることなく、入力された画素信号列上に重畳された特定周波数成分を弱め、また、サンプリングした信号レベルが所定値Aより大きいことを信号レベル交換の条件にする構成によって、地肌レベルの信号が地肌レベルでない信号と交換されることがなくなる。更にライン単位またはそれ以上の所定単位で、上記信号レベルの交換を複数回行う構成によって、入力された画素信号列上に重畳された特定周波数成分をより効果的に弱めることができる。

【0014】

【実施例】以下、図面に示した実施例に基づいて本発明を詳細に説明する。図1は本発明に係る画像処理装置における画像出力部の一実施例を示すブロック図であり、モアレ除去の場合の構成を示している。同図において、1はモアレ除去回路、2はディザ化手段、3は記録制御回路、4は画像形成手段である。モアレ除去回路1に入力される画素信号列の各画素信号は複数ビットから成る多値の階調信号であり、ディザ法等による階調信号ではない。この信号列には図示していない画像入力部などで発生した周期性のある雑音つまりディザ化手段2で生成される周波数に近い周波数成分を持った雑音を含んでいる。モアレ除去回路1は後述するようにモアレ発生の原因である強いパワーを持った干渉し合う二つの周波数成分の一方である入力画素信号列上に重畳された雑音を完全に除去するものではなく、その雑音中の干渉する上記周波数成分を他の周波数成分並に弱める機能を有し、該モアレ除去回路1から出力される画素信号列はディザ化手段2でディザ信号に変換される。

【0015】該ディザ化手段2は画像形成手段4が多階調による階調表現能力は低いが、解像（単位長当たりの画素数）能力が高い場合などに、入力されたそれぞれの画素をマトリックス化された複数の網点で表現して、1個の網点の階調が低くてもよいようにする。その結果、上記マトリックスが $n \times n$ のマトリックスであるならば、ディザ化手段2から出力される網点信号列はモアレ除去回路1の出力信号列の n 倍の周波数成分を含む。もし前記モアレ除去回路1がない場合には、入力画素信号列上に重畳された雑音の周波数成分である網点信号列の上記周波数成分に近い周波数成分が網点信号列の新たな周波数成分（入力される信号列の n 倍の周波数成分）と干渉するが、モアレ除去回路1の挿入により、本発明に係る画像処理装置ではそのような干渉が発生しない。

【0016】画像形成手段4は例えば電子写真方式によっており、記録制御回路3はレーザ光の発光時間を制御する回路を含む構成となっている。レーザ光発光時間はディザ化手段2から与えられる各網点信号の値に応じたパルス巾の信号に比例した時間であり、画像形成手段4に含まれる感光体ドラム上に発光時間に比例した大きさ

5

のドット（階像）を形成し、該ドットの大きさに対応してトナーが付着するので多階調の濃度が実現される。

【0017】図2は図1に示したモアレ除去回路1の詳細を示すブロック図である。同図において、11は入力画素信号列の連続するB画素分の画素信号を一時的に蓄えるラインバッファ、12はラインバッファ11に入力する画素信号を、画像入力部側から転送されてきた入力画素信号列Sにするか或は交換されたB画素分先行する画素信号Pにするか選択するためのセクタ、13はデ
10 イザ化手段2へ出力するデータ（画素信号）をラインバッファ11から出力されたデータ（画素信号）Tにするか交換されたB画素分後行するデータ（画素信号）Qにするか選択するためのセクタ、14は画素信号列中でB画素分離れた二つの画素信号の信号レベルの差を算出する減算器、15は減算器14によって算出された信号
20 レベルの差が所定値A以内かどうか比較するコンパレータであり、所定値A以内の時には‘1’（ハイレベル）を出力する。16は減算器14で信号レベルの差を求める対象となった二つの画素信号の信号レベルを交換する
25 かどうかを決定する一つの条件となる交換決定手段であり、‘1’または‘0’をランダムに出力する。17はANDゲートで、コンパレータ15の出力が‘1’であり、且つ交換決定手段16の出力が‘1’のとき、その出力が‘1’となり、そのときセクタ12、13がP及びQを選択するようにセクタ12、13を制御する。

【0018】以下、図2に示す実施例の動作を順を追って説明する。入力画素信号列Sは1画素が例えば8ビットで構成され256階調の値を持ち、セクタ12は通常Sを選択し、8ビットパラレルの画素信号がライン
30 バッファ11に入力される。該ラインバッファ11は8ビットパラレルでB画素分の長さを有し、ラインバッファ11は入力画素信号列Sの1画素がラインバッファ11に入力される毎に図の左から右へシフトし、B回のシフトで出力に画素信号が現われる。一方、ラインバッファ11に入力する画素信号はラッチ18にもセットされる。該ラッチ18よりの出力信号Qとラインバッファ11から出力されたB画素分先行した画素信号Tが、ある
40 条件の下で交換の対象となる画素信号であり、これらの画素信号T及びQは減算器14に与えられ、その差の出力信号がコンパレータ15に供給され、コンパレータ15は前記差の出力信号と所定値Aとを比較する。

【0019】すなわち、交換しようとしている二つの画素信号の信号レベル差が所定値A以内の場合にのみ信号交換が実行される。該信号交換は入力画素信号列上に重畳された雑音の特定周波数成分を弱めるために行うものであって、雑音低減という観点からいえば、むしろ交換される二つの画素信号の信号レベル差は大きい方が元の
50 信号波形をより大きく崩すことになり特定周波数成分を弱める効果が大きい、仮に信号レベル差が大きいもの

6

であっても信号交換を行うように構成し、且つ二つの信号が共に有効信号である場合には、交換後の信号レベルが交換前と大きく異なり、交換した画素に隣接する画素の信号と整合しなくなるという新たな問題点が発生してしまう。例えば、交換前の信号レベルが5で、その直前が7、直後が3で、7、5、3と推移していたのが、5を20に交換したりすると、7、20、3という推移になり、交換された信号20は信号波形を乱すことになる。

【0020】したがって、前述したように、比較した二信号の差が所定値A以内のときのみ交換を許可するという条件が必要になる。なお、上記所定値Aは実験的に求められる。交換の条件としては、前述したように信号レベルの差が所定値以内であること及び交換決定手段16の出力が‘1’という条件が付加される。該交換決定手段16はランダムイザを備えており、‘1’または‘0’をランダムに発生するので、このような条件を付加することにより、交換はランダムな頻度で行われることになる。このような交換決定手段を付加する理由は、交換決定手段を付加せずに信号レベル差のみを用いて信号交換を行うと、周期的に交換が行なわれることになり、その周期に対応した周波数成分の雑音が発生し、これがあらたな干渉の一方の周波数成分になるためである。したがって、交換決定手段が‘1’と‘0’を交互にくり返すように設定すると周期的交換の周期が2倍になるだけで周期的交換に他ならず、問題は解決しないことが分かる。すなわち、‘1’‘0’の出現はランダムでなくてはならない。これら二つの条件がANDゲート17に与えられ、このAND条件が成立した場合にセクタ12及び13は交換された信号を選択し、画素信号列中に組み込まれる。以下、このような処理が1画素入力毎に行われる。

【0021】図3は上記交換を説明する図である。同図（a）の入力画素信号列の信号レベルは交換処理前の信号レベル、（b）は現対象画素まで交換処理が済んだ信号レベルである。この例では対象画素信号の交換相手は8画素先行する画素信号である。つまり画素間隔Bは8画素分であり、この場合、図2に示したラインバッファ11は8画素分でよい。図から明らかなように対象画素の交換相手が既に交換を行なっていて、交換後16画素分（ $2 \times B$ ）先行する画素信号のレベルになる画素信号も出現している。今後更に交換処理が進行していくと24画素分（ $3 \times B$ ）あるいは32画素分（ $4 \times B$ ）先行する画素信号のレベルになる画素信号も出現するはずである。図では雑音によって信号レベルが正規の信号レベルから変動している様子は表現されていないが、重畳された雑音レベルも一緒になって交換されており、（b）の様子から雑音の周期性つまり特定周波数成分が崩されていることは容易に類推できる。

【0022】また、交換する画素間隔Bをモアレ周期の2分の1にするとモアレを抑える効果がより大きい

ことが実験的に確認されている。モアレ周期は装置の構成要素によって決まるため設計時にモアレ周期を確認すると共に、上記画素間隔Bの値を検出したモアレ周期の2分の1に設定することが可能である。またモアレ周期を自動的に検出して、画素間隔Bの検出されたモアレ周期の2分の1に設定することも可能である。この場合、図4に示したように、画像処理装置にモアレ周期テストモードを設けると共に、セクタ13aによってモアレ除去回路1をパスさせ、ディザ化手段2の出力部に積極的にモアレを発生させ、モアレ周期検出手段22によりモアレ周期を検出し、ラインバッファ11aを一定間隔Bの可変範囲の最大値以上の画素分の容量を備えたFIFOで構成することにより実現することができる。

【0023】同図において、セクタ13aは3方向からの信号(各8ビット)のいずれか一つを選択して次段のディザ化手段2へ出力する。上記3方向からの信号中の二つは前記図2に示した信号T及びQであり、新たにモアレ除去回路1に入力される入力画素信号列を直接入力している。この入力画素信号列は図示していない操作部等からの信号であるモアレテストモードCによって選択される。ラインバッファ(FIFO)11aは書き込みクロックaによってセクタ12から入力した入力画素信号が書き込まれ、B画素分入力した際に遅延回路19によって書き込みクロックaよりもB画素分遅れて出力される読み出しクロックbによって読み出される。前記遅延回路19はカウンタを備え、そのカウンタがBレジスタ23によって与えられた値に達したときカウントをやめ書き込みクロックaを通過させ、読み出しクロックbとする。該Bレジスタ23にはモアレ周期検出手段22が検出した周期の2分の1の値が供給されている。モアレ周期検出手段22は例えばカウンタやピーク検出手段などを備え、ピークからピークまでの時間を計測し、計測した値に所定誤差範囲で一致する時間を連続して所定回数以上検出したとき、その時間に対応した画素数をモアレ周期とする。なお、図4に示すモアレ除去回路1aでは図2に示すモアレ除去回路と共通する部分を省略して示している。

【0024】図5にモアレ除去回路の他の実施例を示す。この実施例では入力画素信号毎にサンプリングせず、ランダムな画素間隔でサンプリングし、比較を行っており、この構成は前述したような一定周期でサンプリングを行い、交換決定手段に従って交換するかしないか決定する場合と同等の効果をもたらす。この実施例ではランダムな画素間隔を決定するのは乱数発生器24であり、乱数発生器20は所定数以内の数をランダムに発生する。ラインバッファ11bは例えばRAMで構成し、所定領域にサイクリックに書き込み、M画素分書き込むと、書き込んだ順に1画素読み出しては、そのアドレスにセクタ12の出力画素を書き込む動作をくり返す。このようなアクセス制御はアクセス制御回路25に

よって行われ、該アクセス制御回路25はカウンタを含み、乱数発生器24から得た数値をセットした後、ラインバッファ11bに1画素書き込む毎にカウンタを1つつカウントダウンさせ、カウンタが0になった際に、アクセス制御回路25が保持する現書き込みアドレスから乱数発生数値分手前のアドレスの画素信号レベルを読み出し、減算器14に与える。またその直後にアクセス制御回路25は入力画素信号列Sの現画素信号レベルをラッチ18にラッチし、それを減算器14に与え、二つの信号レベルの差が所定値A以内ならANDゲート17aの出力が'1'になる。ラインバッファから読み出した信号レベルの交換は、一方はアクセス制御回路25の制御の基づきいてゲート26を介して行われ、他方はセクタ12を介して行なわれる。

【0025】図6も本発明に係る画像処理装置に用いるモアレ除去回路の他の実施例である。この実施例では交換のサンプリング間隔はランダムであり、乱数発生器24が発生する数値をカウンタ27にセットし、このカウンタを入力画素信号をラインバッファに入力する毎にカウントダウンし、0になった際にサンプリング対象画素信号をラッチ18にラッチし、ANDゲート17を開くことによって交換が行なわれる。サンプリング対象画素信号と比較、交換される画素信号は対象画素信号から一定画素間隔Cだけ先行する画素信号であり、それはラインバッファ11dの画素長をCにすることによりラインバッファ11dの出力信号Tとなる。また、交換条件の中に、サンプリングした信号レベルが所定値Bより大きいことという条件を付加することにより記録紙の地肌が雑音でよごれるのを防ぐことができる。図7は本発明に係る画像処理装置のモアレ除去回路の要部を示すブロック図である。

【0026】以上の説明では2個の画素信号の間で交換を行なったが、図8に示すように、3個以上(図8は3個の画素信号間で信号の交換を行う一例であるが、4個以上の画素信号間で信号の交換を行う場合には類似の回路を付加することにより容易に可能である)の画素信号間の交換を行うモアレ除去回路は、上述した実施例と比較してより効果がある。図示した例では対象画素信号aをn画素先行する画素信号b及び2n画素先行する画素信号cとの間でランダムに交換しようというものであり、ラインバッファ11e及び11fは共にn画素分の容量を持つ。サンプリングされた3信号間の信号レベルの差は減算器14a、14b、14cでそれぞれ求められ、その差は共に所定値A以内であることがコンパレータ15a、15b、15cによってチェックされる。

【0027】交換回路31は次のいずれかの接続を行う。すなわち、第1にaとf、bとe、cとdの接続、第2にaとf、bとd、cとe、第3にaとe、bとf、cとd…というようにa、b、cのグループとd、e、fのグループ間の全ての組合せの接続を行い、どの

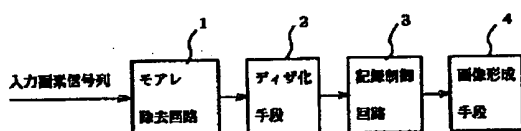
組合せの接続を選択するかは交換回路31に内蔵されるランダムイザによりランダムに信号レベルの交換の都度決定される。信号レベルの交換が3者間で行われるのは前記のようにANDゲート17dが'1'のときセクタ30a、30b、30cを制御して行われる。

【0028】また、図9に示すような実施例によって、1ライン単位またはそれ以上の単位でモアレ除去回路を何回でも通してモアレ除去効果を上げることも可能である。この例ではモアレ除去を1ライン単位で行なっており、1ラインバッファ33はそのために用いられている。複数種類（上記に説明したような様々の実施例によったもの）のモアレ除去回路を備えて（図では1c及び1dの2種類）、くりかえしの際、前回と同じ除去方法を選択もできるし、異なる除去方法も選択できる。この選択は制御部32がセクタ34を制御して行う。モアレ除去回路1cまたは1dから出力された画素信号列はOR回路36を介してセクタ35に入力し、制御部32によってセクタ35が制御され、ディザ化手段2または1ラインバッファ33に出力される。つまり、1ライン単位でセクタ35の出力先を選択することにより、モアレ除去回路を1回だけ通すこともできるし、任意の複数回通すことも可能である。

【0029】

【発明の効果】以上説明したように、本発明によれば、入力された画素信号列中の画素信号間で信号レベルの交換を行うことにより、入力された画素信号列上に重畳された特定周波数成分を弱めることができるので、安価な手段でモアレなどを解消できる画像処理装置を提供できる。また、信号レベル交換の条件を与えることにより、信号レベル交換の副作用を除去できる。更に、ライン単位またはそれ以上の所定単位で、上記信号レベルの交換を複数回行う構成では、入力された画素信号列上に

【図1】



重畳された特定周波数成分をより効果的に弱めることができるので、モアレなどもより効果的に解消できる。

【0030】

【図面の簡単な説明】

【図1】本技術による画像処理システムの画像出力部の一実施例を示すブロック図。

【図2】図1に示すモアレ除去回路の一実施例を示すブロック図。

【図3】(a)及び(b)は本発明に係る画像処理システムを説明するための図。

【図4】図1に示すモアレ除去回路の他の実施例を示すブロック図。

【図5】図1に示すモアレ除去回路の他の実施例を示すブロック図。

【図6】図1に示すモアレ除去回路の他の実施例を示すブロック図。

【図7】図1に示すモアレ除去回路の他の実施例を示すブロック図。

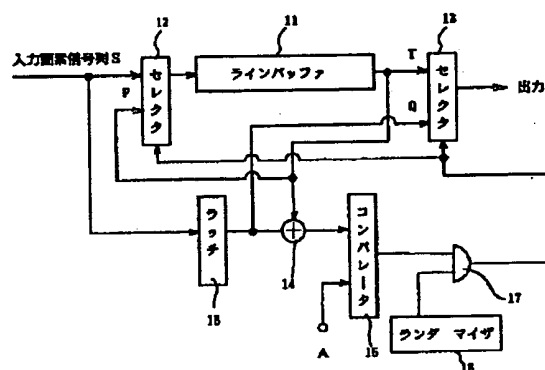
【図8】図1に示すモアレ除去回路の他の実施例を示すブロック図。

【図9】図1に示すモアレ除去回路の他の実施例を示すブロック図。

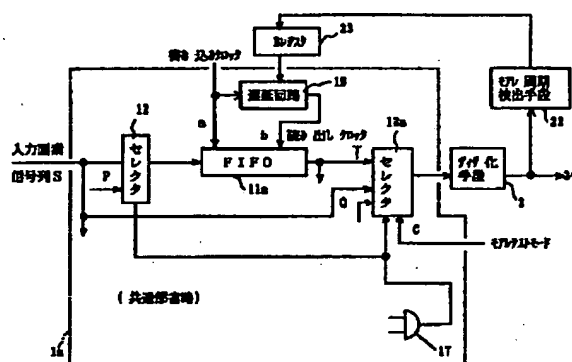
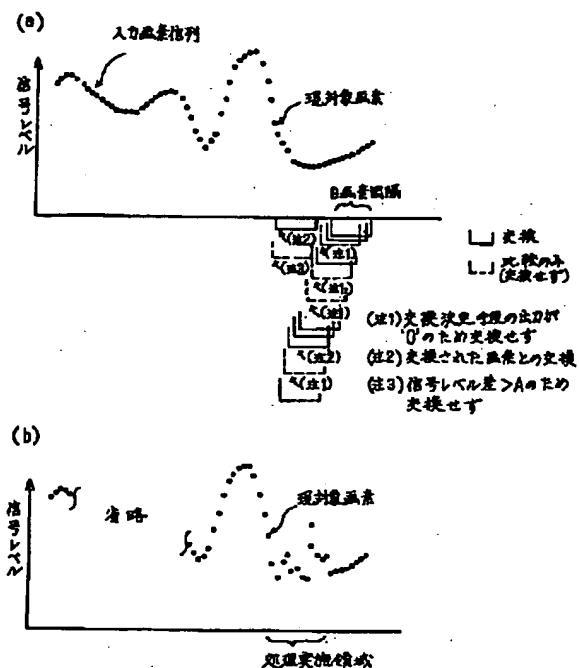
【符号の説明】

1・・・モアレ除去回路、2・・・ディザ化手段、3・・・記録制御回路、4・・・画像形成手段、11・・・ラインバッファ、12、13・・・セクタ、14・・・減算器、15・・・コンパレータ、16・・・交換決定手段、19・・・遅延回路、22・・・モアレ周期検出手段、23・・・Bレジスタ、24・・・乱数発生器、28、29・・・コンパレータ、31・・・交換回路、32・・・制御部、33・・・1ラインバッファ。

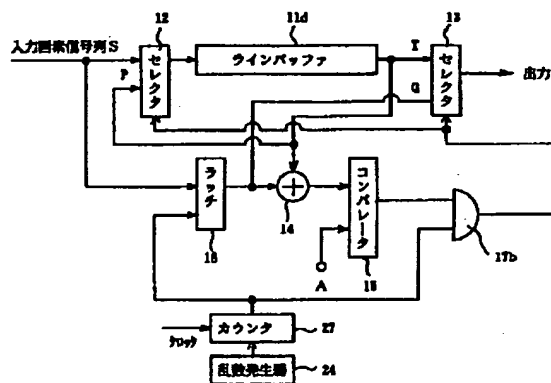
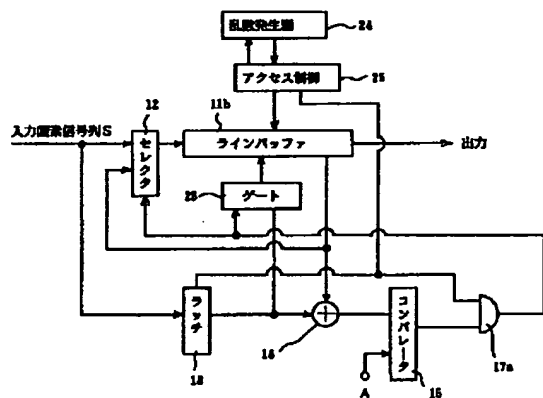
【図2】



【図4】



【图 6】



【图8】

